

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177482
 (43)Date of publication of application : 24.06.1994

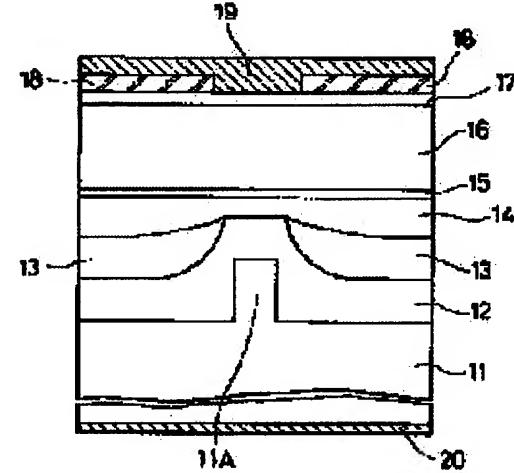
(51)Int.CI. H01S 3/18

(21)Application number : 04-330276 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 10.12.1992 (72)Inventor : ODAKAWA TETSUSHI

(54) MANUFACTURE OF SEMICONDUCTOR LASER

(57)Abstract:

PURPOSE: To form a semiconductor laser having self-alignment buried structure by using a P-type semiconductor substrate while growing a crystal once.
CONSTITUTION: The surface of a P-type semiconductor substrate 11 is mesa-etched to form a striped mesa 11A, and an N-type InP current constriction layer 13 containing selenium in high concentration is grown on the P-type semiconductor substrate 11, to which the mesa 11A is shaped, and the mesa 11A is self-aligned and buried. Various semiconductor layers required for constituting a semiconductor laser, a P-type InP clad layer 14, an InGaAsP active layer 15, an N-type InP clad layer 16, an N-type InGaAsP contact layer 17, etc., are grown, and an insulating film with an electrode contact window and an N-side electrode and a P-side electrode are formed by applying a normal technique.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-177482

(43) 公開日 平成6年(1994)6月24日

(51) Int. C1.⁵

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

審査請求 未請求 請求項の数1

(全4頁)

(21) 出願番号 特願平4-330276

(71) 出願人 000005223

富士通株式会社

(22) 出願日 平成4年(1992)12月10日

神奈川県川崎市中原区上小田中1015番地

小田川 哲史

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 小田川 哲史

(74) 代理人 弁理士 柏谷 昭司 (外1名)

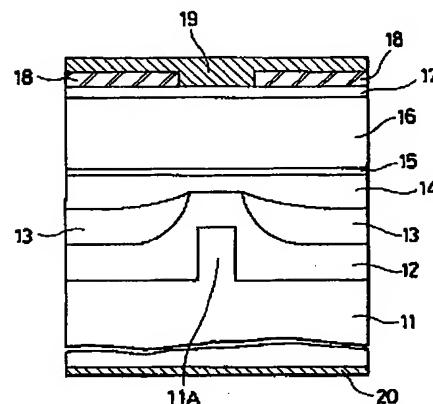
(54) 【発明の名称】半導体レーザの製造方法

(57) 【要約】

【目的】 半導体レーザの製造方法に関し、自己整合埋め込み構造の半導体レーザをp型半導体基板を用いて形成することを可能にすると共に結晶成長を一回で済ませることができるようとする。

【構成】 p型半導体基板11の表面をメサ・エッチングしてストライプのメサ11Aを形成し、そのメサ11Aが形成されたp型半導体基板11上に高濃度にセレンを含有したn型InP電流狭窄層13を成長させて前記メサ11Aを自己整合埋め込みし、引き続いで半導体レーザを構成するのに必要な諸半導体層、即ち、p型InPクラッド層14、InGaAsP活性層15、n型InPクラッド層16、n型InGaAsPコンタクト層17などを成長させ、その後、通常の技法を適用して電極コンタクト窓をもつた絶縁膜の形成、n側電極及びp側電極の形成を行う。

実例を解説する為の工程要所に於ける半導体レーザの要部切断正面図



- | | |
|-----------------|--------------------------|
| 11 : p型InP基板 | 16 : n型InPクラッド層 |
| 11A : メサ | 17 : n型InGaAsP
コンタクト層 |
| 12 : p型InPクラッド層 | 18 : 絶縁膜 |
| 13 : n型InP電流狭窄層 | 19 : n側電極 |
| 14 : p型InPクラッド層 | 20 : p側電極 |
| 15 : InGaAsP活性層 | |

【特許請求の範囲】

【請求項1】 p型半導体基板の表面をメサ・エッチングしてストライプのメサを形成する工程と、

次いで、前記メサが形成されたp型半導体基板上に高濃度にセレンを含有した半導体電流狭窄層を成長させて前記メサを自己整合埋め込みしてから引き続いて半導体レーザを構成するのに必要な活性層を含む諸半導体層を成長させる工程が含まれてなることを特徴とする半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光通信或いは光ネットワークなどに於ける光源として用いられている半導体レーザを製造する方法の改良に関する。

【0002】一般に、半導体レーザは発光の為の領域及び電流狭窄の為の領域という機能が全く異なった領域を併せもたなければならないので、通常は最低で三回の結晶成長が行われ、しかも、その成長の間にはマスク付けやエッチングなどのプロセスも必要であって、その複雑さが製造歩留りの低下、従って、コストの上昇を招来しているので、このような問題を解消しなければならない。

【0003】

【従来の技術】前記のような問題を解消するには、結晶成長の回数を減少させることが有効であり、これについて、今までに種々な技術が報告されている。図2乃至図4は結晶成長の回数を減少させた従来例（要すれば、1992年春季第39回応用物理学関係連合講演会30a-SF-28近藤他「MOVPE法を用いた1.55μm帯自己整合埋込み構造レーザの作製」を参照）を解説する為の工程要所に於ける半導体レーザを表した要部切断正面図であり、以下、これ等の図を参考しつつ説明する。

【0004】図2参照

2-(1)

n型InP基板1上にInGaAsP活性層2及びp型InPクラッド層3を成長させる（一回目の成長）。

2-(2)

p型InPクラッド層3、InGaAsP活性層2、n型InP基板1の一部をエッチングして幅が例えば1.5[μm]のメサ部分を形成する。

【0005】図3参照

3-(1)

p型InPクラッド層4、ドーパントとして高濃度のセレン(Se)を含有したn型InP電流狭窄層5を成長させる。高濃度のSeを含むInPは、面指數が(100)であるメサ頂面の微小な領域には成長しない性質があるので、n型InP電流狭窄層5は、図示されているように、メサ部分の両側のみに成長する。

【0006】図4参照

4-(1)

p型InPクラッド層6とp型InGaAsPコンタクト層7を形成する。

【0007】このように、半導体レーザに必要な発光の為の領域と電流狭窄の為の領域を持った構成を二回の結晶成長で作成することができる。

【0008】

【発明が解決しようとする課題】前記従来の技術に於いて、n型InP電流狭窄層5を図示のような自己整合埋

10め込み構造に形成できる理由は、前記したように、ドーパントとしてSeを用いたことに起因している。SeはInPに対してn型を示すところから、p型InP基板を用いてp・nの導電型のみを反転させた前記構成の半導体レーザは得ることはできず、また、結晶成長の回数も従来の技術と比較すると一回減少しただけである。

【0009】本発明は、自己整合埋込み構造の半導体レーザをp型半導体基板を用いて形成することを可能にすると共に結晶成長を一回で済ませることができるようにする。

20【0010】

【課題を解決するための手段】本発明では、自己整合埋込み構造の半導体レーザの製造プロセス順序に僅かな改変を加えることで、p型半導体基板上に一回のみの連続結晶成長を行って、この種の半導体レーザに必要な半導体結晶層構成を得られるようにすることが基本になっている。

【0011】即ち、本発明に依る半導体レーザの製造方法に於いては、p型半導体基板（例えばp型InP基板11）の表面をメサ・エッチングしてストライプのメサ（例えばメサ11A）を形成する工程と、次いで、前記メサが形成されたp型半導体基板上に高濃度にセレンを含有した半導体電流狭窄層（例えばn型InP電流狭窄層13）を成長させて前記メサを自己整合埋め込みしてから引き続いて半導体レーザを構成するのに必要な活性層を含む諸半導体層（例えばp型InPクラッド層14、InGaAsP活性層15、n型InPクラッド層16、n型InGaAsPコンタクト層17など）を成長させる工程が含まれてなることを特徴とする。

【0012】

【作用】前記手段を探ることに依り、自己整合埋め込み構造の半導体レーザをp型半導体基板を用いて作成することができると共に半導体レーザを構成するのに必要な半導体層を一回の連続成長で実現することができるの40で、その製造工程は著しく簡単化され、従って、製造歩留りの向上、コストの低減に大きく寄与することができる。

【0013】

【実施例】図1は本発明一実施例を解説する為の工程要所に於ける半導体レーザを表す要部切断正面図であり、50以下、この図を参考しつつ説明する。

(1) リソグラフィ技術に於けるレジスト・プロセス並びにドライ・エッティング法を適用することに依り、p型 InP基板11のメサ・エッティングを行つて幅が例えば1[μm]、高さが例えば1.5[μm]のストライプのメサ11Aを形成する。

【0014】(2) 有機金属気相堆積(metal organic vapor phase epitaxy: MOVPE)法を適用することに依つて、メサ11Aをもつたp型InP基板11上にp型InPクラッド層12、n型InP電流狭窄層13、p型InPクラッド層14、InGaAsP活性層15、n型InPクラッド層16、n型InGaAsPコンタクト層17を形成する。

【0015】ここで、各半導体層に関する主要なデータを例示すると次の通りである。

① p型InP基板11について

不純物濃度: $1 \times 10^{18} [\text{cm}^{-3}]$

② p型InPクラッド層12について

不純物濃度: $1 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 1[μm](メサ11Aの頂面に於いて)

③ n型InP電流狭窄層13について

不純物: Se

不純物濃度: $1 \times 10^{19} [\text{cm}^{-3}]$

厚さ: 1[μm]

④ p型InPクラッド層14について

不純物濃度: $1 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 0.5[μm]

⑤ InGaAsP活性層15について

厚さ: 0.1[μm]

⑥ n型InPクラッド層16について

不純物濃度: $1 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 2[μm]

⑦ n型InGaAsPコンタクト層17について

不純物濃度: $3 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 0.2[μm]

【0016】(3) プラズマ化学気相堆積(plasma chemical vapour deposition: P-CVD)法を適用することに依り、厚さ例えば300[nm]のSiO₂からなる絶縁膜18を形成する。

【0017】(4) リソグラフィ技術に於けるレジスト・プロセス及びエッチャントをフッ化水素酸とするウェット・エッティング法を適用することに依り、SiO₂からなる絶縁膜18の選択的エッティングを行つてストライプの電極コンタクト窓を形成する。この電極コンタクト窓内には、勿論、n型InGaAsPコンタクト層17の一部が表出される。

【0018】(5) 真空蒸着法を適用することに依つて、厚さ例えば100[nm]/100[nm]のAuGe/Auからなるn側電極19を形成する。

【0019】(6) 真空蒸着法を適用することに依つて、厚さ例えば100[nm]/100[nm]/200[nm]のAu/Zn/Auからなるp側電極20を形成する。

【0020】前記したところから明らかのように、半導体レーザを構成するのに必要な結晶成長は僅か一回で済んでいる。

【0021】本発明は前記実施例に限定されることなく、他に多くの改変を行うことが可能である。

10 【0022】例えば、n型InP電流狭窄層13の上には、InGaAsP活性層15のみでなく、その屈折率を制御する為の光ガイド層をもつものを形成することも可能である。但し、このような構成のものでは、結晶成長を二回必要とする場合もあるが、その場合、若し、本発明を用いなければ結晶成長は更に一回、従つて、合計三回必要となる筈である。

【0023】

【発明の効果】本発明に依る半導体レーザの製造方法に於いては、p型半導体基板の表面をメサ・エッティングしてストライプのメサを形成し、そのメサが形成されたp型半導体基板上に高濃度にセレンを含有した半導体電流狭窄層を成長させて前記メサを自己整合埋め込みしてから引き続いて半導体レーザを構成するのに必要な活性層を含む諸半導体層を成長させる。

20 【0024】前記構成を探ることに依り、自己整合埋め込み構造の半導体レーザをp型半導体基板を用いて作成することができると共に半導体レーザを構成するのに必要な半導体層を一回の連続成長で実現することができるので、その製造工程は著しく簡単化され、従つて、製造歩留りの向上、コストの低減に大きく寄与することができる。

【図面の簡単な説明】

【図1】本発明一実施例を解説する為の工程要所に於ける半導体レーザを表す要部切断正面図である。

【図2】結晶成長の回数を減少させた従来例を解説する為の工程要所に於ける半導体レーザを表した要部切断正面図である。

30 【図3】結晶成長の回数を減少させた従来例を解説する為の工程要所に於ける半導体レーザを表した要部切断正面図である。

【図4】結晶成長の回数を減少させた従来例を解説する為の工程要所に於ける半導体レーザを表した要部切断正面図である。

【符号の説明】

11 p型InP基板

11A メサ

12 p型InPクラッド層

13 n型InP電流狭窄層

14 p型InPクラッド層

15 InGaAsP活性層

50

5

- 16 n型InPクラッド層
17 n型InGaAsPコンタクト層
18 絶縁膜

【図1】

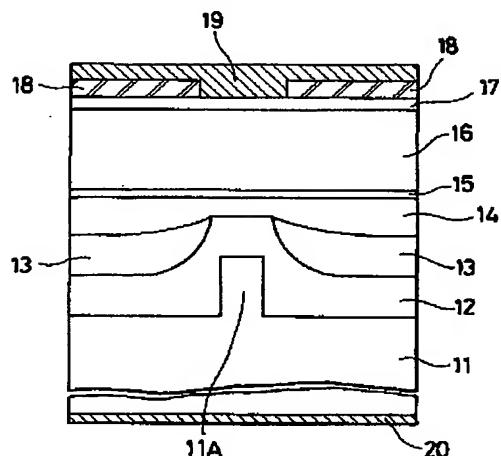
6

- 19 n側電極
20 p側電極

【図2】

従来例を解説する為の工程要所に於ける半導体レーザの
要部切断正面図

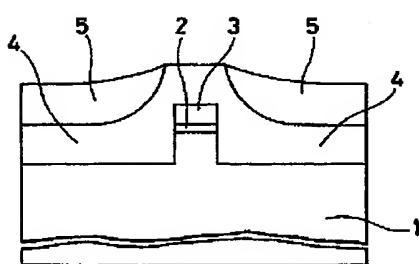
実施例を解説する為の工程要所に於ける半導体レーザの
要部切断正面図



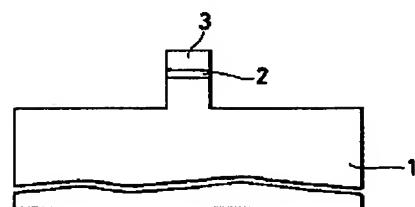
- 11 : p型InP基板 16 : n型InPクラッド層
11A : ノサ 17 : n型InGaAsP
12 : p型InPクラッド層 コンタクト層
13 : n型InP電流狭窄層 18 : 絶縁膜
14 : p型InPクラッド層 19 : n側電極
15 : InGaAsP活性層 20 : p側電極

【図3】

従来例を解説する為の工程要所に於ける半導体レーザの
要部切断正面図



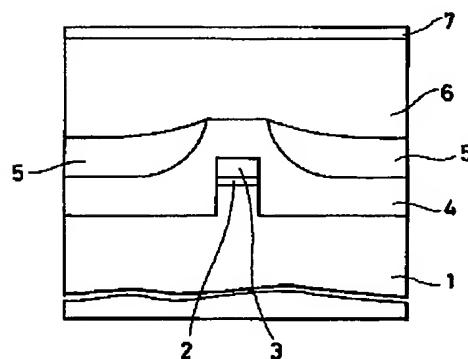
- 4 : p型InPクラッド層
5 : n型InP電流狭窄層



- 1 : n型InP基板
2 : InGaAsP活性層
3 : p型InPクラッド層

【図4】

従来例を解説する為の工程要所に於ける半導体レーザの
要部切断正面図



- 6 : p型InPクラッド層
7 : p型InGaAsPコンタクト層